

Zentralübung Rechnerstrukturen

Übungsblatt 1: Fragen des Rechnerentwurfs

Besprechung: 26. April 2012

1 Fertigungskosten

Eine Wafer-Fertigungsanlage soll von 200mm- auf 300mm- Wafer umgestellt werden. Der Fertigungsprozess wird hierbei nicht verändert, der zugehörige Technologiefaktor α sei 2, die Fehlerquote (*defects per unit area*) betrage $0.2/cm^2$ und die Wafer-Ausbeute (*yield*) betrage 80%. Der zu fertigende Die habe eine Fläche von $a_{die} = 4.5cm^2$.

- Berechnen Sie für beide Wafergrößen die erzielbare Anzahl von Dies pro Wafer.
- Errechnen Sie den Die-Yield für die gegebenen Parameter.
- Errechnen Sie die Kosten pro Die für 200mm- und 300mm-Technologie unter der Annahme, dass ein 200mm-Wafer 150 Euro kostet und ein 300mm-Wafer 300 Euro.
- Berechnen Sie basierend auf den errechneten Werten der vorherigen Aufgabenteile die durch die Umstellung auf 300mm-Wafer erzielte Kostenreduzierung pro IC. Die Kosten für das Packaging pro IC betragen 75 Cent, der Kostenanteil für Testen des einzelnen Dies sei 1 Euro und die Gesamtausbeute sei 75%.

2 Schaltungsentwurf mit VHDL

Signale und boolesche Funktionen

- Erstellen Sie je eine VHDL-Beschreibung der XOR-Funktion mittels
 - Bibliotheksaufruf
 - Beschreibung der Funktion
 - boolescher Beschreibung
 - Wertetabelle

Welche weiteren Alternativen finden sich?

Verhaltensbeschreibung

- b) Eine zu entwickelnde Zählerschaltung soll folgendes Verhalten aufweisen:
- Ein low-aktives Rücksetzsignal löscht den Zähler.
 - Über ein Richtungssignal wird bestimmt, ob der Zähler mit der steigenden Flanke eines Taktsignals aufwärts (=0) oder abwärts (=1) zählt.
 - Es wird nur gezählt, wenn der Zähler mit einem high-aktiven Aktivierungssignal freigeschaltet ist.
 - Der Zähler soll 64 Zählschritte ausführen können.
 - Ein low-aktives Freigabesignal entscheidet, ob der Zählerausgang auf einen gemeinsamen Bus gelegt werden soll; bei nicht erfolgter Freigabe werden die Ausgabeleitungen in den Tristate-Zustand geschaltet.

Erstellen Sie die zugehörige Schnittstellenbeschreibung und formulieren Sie die entsprechende Verhaltensbeschreibung in VHDL.

Erweitern Sie die Verhaltensbeschreibung um eine Lösung, bei der ein Überlaufsignal außerhalb des Prozesses erzeugt wird.

VHDL-Entwurfsprozess I

- c) Es soll eine diskrete Fourier-Transformation (DFT) in VHDL implementiert werden. Dabei ist folgendes Verhalten spezifiziert:
- Ein low-aktives Rücksetzsignal löscht die Schaltung.
 - Die Schaltung wird explizit über ein Aktivierungssignal aktiviert.
 - Die Datengröße ist fest vorgegeben, soll aber prinzipiell parametrisierbar sein.
 - Die Eingabedaten werden als Stream von 16-Bit Festkommazahlen geliefert.
 - Die Ausgabedaten sind ebenso ein Stream von 16-Bit Festkommazahlen.

Führen Sie die Datenverfeinerung durch und erstellen Sie eine Schnittstellenbeschreibung `DFT_top`. Dazu muss der Stream in eine passende Schnittstelle überführt werden. Eine solche kann aus folgenden Teilen bestehen:

Daten, Gültigkeitsanzeige, Aufnahmebereitschaft, Stream-Ende.

Erstellen Sie eine Toplevel-Architektur `structure_top`, indem Sie Komponenten definieren und geeignet verbinden: Stream-Behandlung (zur Zwischenpufferung der Stream-Daten) und Diskrete Fourier-Transformation (DFT).

Hinweis: es genügt die Visualisierung!

In der Architektur der DFT würden Sie die Eingabedaten mit Potenzen (k) der N -ten Einheitswurzel $e^{-2\pi i k/N}$ multiplizieren, akkumulieren und speichern bzw. weiter ausgeben. Im Rahmen der Verhaltensverfeinerung entsteht daher folgende Frage: Wie ist die komplexe Einheitswurzel darzustellen und in Berechnungen verwendbar? *Hinweis:* $e^{ix} = \cos x + i \cdot \sin x$.

Sie haben festgestellt, dass auch die Radix-2-Variante der DFT in Hardware implementierbar ist und die Implementierung innerhalb einer weiteren Architektur `radix2` passend zur Schnittstelle der DFT vorgenommen. Mit welchen Mitteln erreichen Sie, dass in Simulation und Synthese Ihre neue Architektur verwendet wird?

VHDL-Entwurfsprozess II - Zähler

In einer VHDL-Beschreibung sei ein Prozess wie folgt beschrieben. Hierbei sei `count` vom Typ `unsigned(7 downto 0)`:

```
process (clk, count)
begin
  if clk'event and clk='1' then
    count<=count+1;
    if count=X"ff" then
      flag<='1';
    else
      flag<='0';
    end if;
  end if;
end process;
```

- d) Bei der Simulation dieses Prozesses erhalten Sie immer den Wert "UUUUUUUU" für das Signal `count`. Synthetisiert in Hardware beobachten Sie jedoch wie erwartet eine Aufwärtzählfunktion.
- Nennen Sie die Ursache für das in der Simulation beobachtete Verhalten und erklären Sie, weswegen die Zählfunktion hier nicht sichtbar wird.
 - Was fehlt in der Schaltungsbeschreibung, um auch in der Simulation eine korrekte Funktion zu gewährleisten?
 - Ändern Sie die Prozessbeschreibung so ab, dass die korrekte Funktion des Zählers auch in der Simulation gewährleistet ist.
- e) Das `flag`-Signal (vom Typ `bit`) soll den Zählerstand `0xff` anzeigen, d.h. zum Zeitpunkt `count=X"ff"` für eine Taktperiode den Wert 1 annehmen, sonst 0.
- Bei welchem tatsächlichen Zählerstand beobachten Sie beim gegebenen Codefragment in Simulation und Synthese den Zustand `flag='1'`? Warum ist dies so?
 - Das `flag`-Signal soll nicht synchron innerhalb des Prozesses sondern nebenläufig außerhalb erzeugt werden. Wie lautet die VHDL-Zuweisung hierfür?